

대한민국 특허청
KOREAN INTELLECTUAL
PROPERTY OFFICE

별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto
is a true copy from the records of the Korean Intellectual
Property Office.

출원번호 : 10-2002-0085460
Application Number

출원년월일 : 2002년 12월 27일
Date of Application DEC 27, 2002

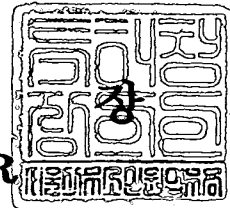
출원인 : 주식회사 하이닉스반도체
Applicant(s) Hynix Semiconductor Inc.



2003 년 04 월 16 일

특 허 청

COMMISSIONER



【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0018
【제출일자】	2002. 12. 27
【발명의 명칭】	반도체 소자의 소자분리막 형성방법
【발명의 영문명칭】	Method of forming isolation film of semiconductor device
【출원인】	
【명칭】	(주)하이닉스 반도체
【출원인코드】	1-1998-004569-8
【대리인】	
【성명】	신영무
【대리인코드】	9-1998-000265-6
【포괄위임등록번호】	1999-003525-1
【발명자】	
【성명의 국문표기】	이성훈
【성명의 영문표기】	LEE, Sung Hoon
【주민등록번호】	720228-1074224
【우편번호】	134-761
【주소】	서울특별시 강동구 길1동 우성아파트 107-911
【국적】	KR
【심사청구】	청구
【취지】	특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인 신영무 (인)
【수수료】	
【기본출원료】	16 면 29,000 원
【가산출원료】	0 면 0 원
【우선권주장료】	0 건 0 원
【심사청구료】	8 항 365,000 원
【합계】	394,000 원
【첨부서류】	1. 요약서·명세서(도면)_1통

【요약서】**【요약】**

본 발명은 반도체 소자의 소자분리막 형성방법에 관한 것으로, 본 발명은, 실리콘 기판 상에 패드 산화막 및 패드 질화막을 순차적으로 형성하는 단계와, 상기 패드 질화막 상에 소자분리영역을 개구하는 포토레지스트 패턴을 형성하는 단계와, 상기 포토레지스트 패턴을 식각 마스크로 사용하여 상기 패드 질화막 및 상기 패드 산화막을 식각하여 소자분리영역의 상기 실리콘 기판을 노출시키는 단계와, 전기화학적 식각을 수행하여 노출된 소자분리영역의 상기 실리콘 기판에 다공성 실리콘을 형성하는 단계와, 상기 포토레지스트 패턴을 제거하는 단계 및 열 산화 공정을 실시하여 상기 다공성 실리콘을 산화시켜 소자분리영역에 산화막을 형성하는 단계를 포함한다.

【대표도】

도 4

【색인어】

소자분리막, 전기화학적 식각, 다공, 열 산화

【명세서】**【발명의 명칭】**

반도체 소자의 소자분리막 형성방법{Method of forming isolation film of semiconductor device}

【도면의 간단한 설명】

도 1은 본 발명의 바람직한 실시예에 따라 전기화학적 식각을 수행하기 위한 작업 셀을 도시한 도면이다.

도 2 및 도 5는 본 발명의 바람직한 실시예에 따라 전기화학적 식각을 통해 다공성 실리콘을 형성하고 열 산화시켜 소자분리막을 형성하는 공정을 보여주는 도면들이다.

도 6은 전기화학적 식각을 통해 실리콘 기판에 형성된 다공의 모습을 보여주는 SEM(Scanning Electron Microscope) 사진이다.

<도면의 주요 부분에 부호의 설명>

100: 실리콘 기판 102: 패드 산화막

104: 패드 질화막 106: 포토레지스트 패턴

110: 다공성 실리콘 112: 소자분리막

120: 작업 셀

130: 상대전극 140: 기준전극

150: 자외선 광원 160: 전해질

W: 웨이퍼

【발명의 상세한 설명】**【발명의 목적】****【발명이 속하는 기술분야 및 그 분야의 종래기술】**

- <12> 본 발명은 반도체 소자의 제조방법에 관한 것으로, 더욱 상세하게는 전기화학적 식각을 이용하여 절연하고자 하는 부분에 다공성 실리콘을 형성한 후 열 산화(thermal oxidation) 공정을 이용하여 상기 다공성 실리콘을 산화시켜 소자분리막을 형성하는 반도체 소자의 소자분리막 형성방법에 관한 것이다.
- <13> 반도체 메모리 소자는 일반적으로 소자분리 공정으로 얇은 트렌치 소자분리 (Shallow Trench Isolation; 이하 'STI'라 함) 공정을 이용하고 있다. 반도체 메모리 소자가 고집적화되어 셀 크기가 감소하면서 액티브 영역 및 소자분리 영역은 얇은 트렌치 소자분리막을 사용하여 정의하고 있다.
- <14> 이하에서 얇은 트렌치 소자분리막 형성 공정을 설명한다. 반도체 기판 상에 패드 산화막 및 패드 질화막을 형성한다. 이어서, 소자분리영역을 정의하는 포토레지스트 패턴을 형성한 후, 상기 포토레지스트 패턴을 식각 마스크로 사용하여 패드 질화막, 패드 산화막 및 반도체 기판을 식각하여 반도체 기판 내에 트렌치를 형성한다.
- <15> 고밀도 플라즈마(High Density Plasma; HDP) 산화막을 증착하여 트렌치내를 매립한다. 이때, HDP 산화막은 트렌치내를 충분히 매립하면서 패드 질화막의 상부 표면 위까지 충분히 증착되는 정도의 두께로 증착한다. 이어서, HDP 산화막을 화학기계적 연마 (Chemical Mechanical Polishing)하여 평탄화한다. 상기 화학기계적 연마 공정은 상기 패드 질화막이 노출될 때까지 진행한다. 다음에, 상기 패드 질화막을 제거한다. 이어서,

웰 정션(well junction) 형성과 문턱전압 조절을 위하여 이온주입을 실시한다. 다음에, 상기 패드 산화막을 제거한다.

<16> 그러나, 트렌치 간격의 축소(shrink)로 인해 플라즈마를 이용한 트렌치 형성을 위한 식각 공정이 어려우며, HDP 산화막을 갭 필(gap fill)할 때 트렌치의 입구 부분에 오버행(over-hang)이 발생하고 따라서 트렌치 내에 씸(seam) 또는 보이드(void)가 생기는 문제가 대두되고 있으며, 트렌치를 갭 필하는 HDP 산화막 내에 보이드가 발생함에 따라 반도체 소자의 신뢰성에도 문제가 발생할 수 있다.

【발명이 이루고자 하는 기술적 과제】

<17> 본 발명이 이루고자 하는 기술적 과제는 전기화학적 식각을 이용하여 절연하고자 하는 부분에 다공성 실리콘을 형성한 후 열 산화(thermal oxidation) 공정을 이용하여 상기 다공성 실리콘을 산화시켜 소자분리막을 형성하는 반도체 소자의 소자분리막 형성 방법을 제공함에 있다.

【발명의 구성 및 작용】

<18> 상기 기술적 과제를 달성하기 위하여 본 발명은, 실리콘 기판 상에 패드 산화막 및 패드 질화막을 순차적으로 형성하는 단계와, 상기 패드 질화막 상에 소자분리영역을 개구하는 포토레지스트 패턴을 형성하는 단계와, 상기 포토레지스트 패턴을 식각 마스크로 사용하여 상기 패드 질화막 및 상기 패드 산화막을 식각하여 소자분리영역의 상기 실리콘 기판을 노출시키는 단계와, 전기화학적 식각을 수행하여 노출된 소자분리영역의 상기 실리콘 기판에 다공성 실리콘을 형성하는 단계와,

상기 포토레지스트 패턴을 제거하는 단계 및 열 산화 공정을 실시하여 상기 다공성 실리콘을 산화시켜 소자분리영역에 산화막을 형성하는 단계를 포함하는 것을 특징으로 하는 반도체 소자의 소자분리막 형성방법을 제공한다.

<19> 상기 전기화학적 식각은, 작업전극으로 사용될 상기 실리콘 기판 뒷면에 전압을 인가할 수 있도록 구비되고, 상대전극과 기준전극이 일정한 간격을 유지하여 전해질 속에 잠길 수 있도록 구비되며, 자외선 광원을 상부에 설치하여 상기 작업 전극에 자외선이 조사되도록 구비된 작업 셀에서 실리콘 해리 반응을 이용하여 수행한다. 상기 상대전극으로 백금 전극을 사용하고, 상기 기준전극으로 수소 표준전극을 사용할 수 있다. 상기 전해질로서 HF와 에탄올이 소정 비율로 혼합된 용액을 사용할 수 있다. 상기 실리콘의 해리 반응 중 발생하는 수소 기체가 실리콘 해리 반응을 방해하는 것을 억제하기 위해 상기 전해질 속에 비활성 기체를 첨가하는 것을 더 포함할 수 있다. 상기 전압으로 1.5V 내지 8V의 전압을 인가한다.

<20> 상기 열 산화 공정은, O_2 와 H_2O 분위기에서 700~900℃의 온도에서 습식 산화 방식을 이용하여 수행하는 것이 바람직하다.

<21> 이하, 첨부된 도면을 참조하여 본 발명에 따른 바람직한 실시예를 상세하게 설명하기로 한다. 그러나, 이하의 실시예는 이 기술분야에서 통상적인 지식을 가진 자에게 본 발명이 충분히 이해되도록 제공되는 것으로서 여러 가지 다른 형태로 변형될 수 있으며, 본 발명의 범위가 다음에 기술되는 실시예에 한정되는 것은 아니다. 이하의 설명에서 어떤 층이 다른 층의 위에 존재한다고 기술될 때, 이는 다른

층의 바로 위에 존재할 수도 있고, 그 사이에 제3의 층이 게재될 수도 있다. 또한, 도면에서 각 층의 두께나 크기는 설명의 편의 및 명확성을 위하여 과장되었다. 도면상에서 동일 부호는 동일한 요소를 지칭한다.

<22> 본 발명은 전기화학적 식각을 통해 다공을 형성하여 소자 분리막을 형성하는 방법으로, 전기화학적 식각을 이용하여 절연하고자 하는 부분에 다공성 실리콘을 형성한 후 열 산화(thermal oxidation) 공정을 이용하여 상기 다공성 실리콘을 산화시킴으로써 소자분리막을 형성할 수 있다.

<23> 도 1은 본 발명의 바람직한 실시예에 따른 전기화학적 식각을 수행하기 위한 작업 셀을 도시한 도면이다. 도 2 내지 도 5는 본 발명의 바람직한 실시예에 따라 전기화학적 식각을 통해 다공성 실리콘을 형성하고 열 산화 공정을 실시하여 소자분리막을 형성하는 과정들을 보여주는 도면들이다. 도 6은 전기화학적 식각을 통해 실리콘 기판에 형성된 다공의 모습을 보여주는 SEM(Scanning Electron Microscope) 사진으로서, 도 4의 'A' 부분을 보여주고 있다.

<24> 도 1을 참조하면, 다공을 형성하기 위하여 전기화학적 식각을 수행하기 위한 작업 셀(120)은 작업전극으로 사용될 웨이퍼(W) 뒷면에 전압(V)을 인가할 수 있도록 설계되었으며, 상대전극(130)과 기준전극(140)이 일정한 간격을 유지하여 전해질(160) 속에 잠길 수 있도록 설계되었다. 또한, 자외선 광원(150)을 작업 셀(120) 상부에 위치하도록 하여 작업 전극 위에 자외선(152)이 조사되도록 하였다. 작업전극, 즉 웨이퍼(W)에 인가되는 전압(V)은 1.5V 내지 8V 정도이다.

<25> 도 2를 참조하면, 실리콘 기판(100) 상에 패드 산화막(102) 및 패드

질화막(104)을 순차적으로 형성한다. 패드 산화막(102)은 50~1000Å 정도의 두께로 형성한다. 패드 질화막(104)은 500~1500Å 정도의 두께로 형성한다. 패드 질화막(104) 상에 소자분리영역을 정의하는 포토레지스트 패턴(106)을 형성한다.

<26> 도 3을 참조하면, 포토레지스트 패턴(106)을 식각 마스크로 사용하여 패드 질화막(104) 및 패드 산화막(102)을 식각하여 소자분리영역이 형성될 부분의 실리콘 기판(100)을 노출시킨다. 이와 같은 준비된 웨이퍼(W)를 작업 셀(120)에 장착하여 전기화학적 식각을 실시한다.

<27> 도 1 및 도 4를 참조하면, 본 발명의 바람직한 실시예에 따른 소자분리막 형성방법은 전기화학적 식각에 의한 다공 형성을 이용한다. 다공 형성 공정은 49% HF 용액과 에탄올을 혼합한 용액을 전해질(160)로 사용하며, 자외선 광원(150)을 사용하여 일정 파장의 자외선(152)을 조사하면서 수행한다. 전기화학적 식각에 사용되는 작업전극은 실리콘 웨이퍼(W)이고, 기준전극(140)으로는 수소 표준 전극을 사용하며, 상대전극(130)으로는 백금 전극을 사용한다. 작업전극에 실리콘이 해리될 수 있는 전압(V)을 인가함으로써 실리콘의 해리 반응에 필요한 반응 활성화 에너지를 공급하여 준다. 실리콘 해리 반응이 일어나는 동안 수소 기체 발생에 의한 실리콘 해리 반응의 방해로 방지하기 위해 아르곤(Ar)과 같은 비활성 기체를 전해질(16) 속에 첨가하여 버블링(bubbling)하여 줌으로써 수소 기체를 반응 표면으로부터 제거해준다.

<28> 실리콘의 전기화학적 식각에 대한 해리 메커니즘은 다음과 같다.

<29> HF와 에탄올이 혼합된 전해질(160)과 반응하는 실리콘 표면은 H원자로 포화된 상태이므로 홀(h^+)이 존재하지 않기 때문에 F^- 이온의 공격에 대해 비활성이다. 왜냐하면 H의 전기음성도가 2.2이고, Si의 전기음성도가 1.9로 전기음성도의 차이가 별로 없기 때

문에 F^- 이온이 반응할 수 있는 분위기가 조성되지 않는 것이다. 하지만 실리콘 표면에 조사된 자외선 광원에 의해서 홀(h^+)이 공급되어 지면 Si의 전기음성도가 H원자에 비해 상대적으로 낮아지므로 F^- 이온의 친핵성 공격이 가능해진다.

<30> n형 실리콘의 경우 실리콘 표면에서의 홀의 생성이 실리콘의 해리 과정을 이끄는 중요한 단계가 된다. 이처럼 H가 F로 치환되면 Si의 전기음성도가 더욱 낮아져서 그 이후 F^- 의 공격은 계속적으로 일어나게 된다.

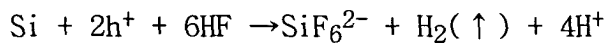
<31> 이러한 일련의 반응에 의해서 수소가 발생하게 되고 지속적인 F^- 의 공격에 의해서 실리콘 표면에서 부분적인 해리가 일어나게 되며, 그로 인해 새로운 표면이 생성되게 된다. 이러한 변화는 실리콘 표면의 전기장의 분포를 변화시키고, 이렇게 변화된 전기장에 의해서 홀이 실리콘의 벌크 영역으로부터 실리콘이 해리된 부분으로 공급되어지므로 트렌치의 형성은 홀의 공급 방향과 평행한 수직적인 배향으로 일어나게 되는 것이다. 이와 같은 전기화학적 식각을 통해 다공은 소자분리영역이 형성될 부분인 실리콘 기판(100)에 형성되게 된다.

<32> 묽은 HF 용액에서 실리콘이 양극 바이어스(V) 하에 존재할 때 다공이 형성될 수 있는 전류 대 전압 특성 영역은 낮은 전위이며, 높은 전위에서는 전기연마가 일어나고 중간영역(전이영역)에서는 실리콘과 HF가 반응하여 다공이 형성되는 반응과 전기연마 반응이 모두 일어난다. 따라서, 다공이 형성될 수 있는 전위가 실리콘에 인가되어질 때 실리콘의 해리 과정에서 가장 중요한 것은 수송체인 홀(h^+)이며, 이러한 홀은 실리콘의 해리 속도를 결정하게 된다. 실리콘 웨이퍼를 전기 화학적으로 식각할 때, 자외선을 쬌어주

는 것은 실리콘이 해리되기 시작하는 단계에서 해리 반응이 시작될 수 있도록 홀을 실리콘 표면의 공간 전하층에 충분히 공급하기 위해서이다.

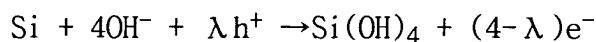
<33> 다공은 아래의 반응식 1과 같은 과정을 통해 형성된다.

<34> 【반응식 1】

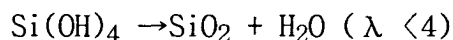


<35> 전기연마 반응은 아래의 반응식 2와 반응식 3과 같은 과정을 통해 일어난다.

<36> 【반응식 2】



<37> 【반응식 3】



<38> 본 발명에 따른 전기화학적 식각법으로 다공을 형성할 경우 다공 크기를 조절하는 변수는 전해질 농도(HF와 에탄올의 부피비), 작업전극에 인가하는 전압의 세기, 반응 시간, 자외선 광원의 세기 등이 있다. 다공 깊이를 조절하는 변수로는 인가된 전압의 세기와 반응 시간이 있다. 이러한 변수들을 이용하여 다공의 크기와 깊이를 조절할 수 있으며, 일정 면적에 대한 다공수(다공도)를 조절할 수 있다.

<39> 도 5를 참조하면, 포토레지스트 패턴을 제거한다. 포토레지스트 패턴은 O_2 분위기에서 애싱(ashing) 공정을 이용하여 제거할 수 있다. 전기화학적 식각을 이용하여 다공성 실리콘을 형성한 후, 열 산화 공정을 실시하여 산화막을 형성한다. 상기 열 산화 공정은 습식 산화 방식을 이용할 수 있다. 상기 열 산화 공정은 $700 \sim 900^\circ\text{C}$ 정도의 온도에서 O_2 와 H_2 분위기에서 실시한다. 이와 같이 전기화학적 식각을 이용하여 다공성 실리

콘을 형성한 후, 열 산화 공정을 이용하여 다공성 실리콘을 산화시키면 산화제인 O_2 나 H_2O 가 Si/SiO₂ 계면까지 확산하여 들어가고, 여기서 Si가 H_2O 나 O_2 와 반응하여 SiO₂를 형성하게 된다. 따라서, 산화막이 성장하면서 실리콘이 소모되게 되므로 다공의 크기와 다공도를 조절하면 다공과 실리콘 모두를 산화막으로 형성시킬 수 있게 된다. 이러한 방법으로 다공성 실리콘을 모두 산화막으로 형성시키면 반도체 소자의 소자분리막으로 사용할 수 있다.

【발명의 효과】

- <40> 종래의 소자분리막 형성 공정은 트렌치 간격의 축소로 인해 플라즈마를 이용한 트렌치 식각 공정이 어려우며, HDP 산화막을 깎아낼 때 트렌치의 입구 부분에 오버행이 발생하고 따라서 트렌치 내에 씌임 또는 보이드가 생기는 문제가 있었으며, 트렌치를 깎아내는 HDP 산화막 내에 보이드가 발생함에 따라 반도체 소자의 신뢰성에도 문제가 발생할 수 있었다.
- <41> 그러나, 본 발명에 의하면, 반도체 소자의 소자분리막을 형성하기 위하여 포토리소그라피 공정, 패드 질화막 및 패드 산화막 식각 공정, 전기화학적 식각 공정(다공 형성 공정) 및 열 산화 공정으로 반도체 소자의 소자분리막을 형성할 수 있어 종래의 소자분리막 형성 공정에 비하여 공정을 크게 단순화할 수 있으며, 반도체 소자의 집적화에 따른 플라즈마 식각의 어려움과 HDP 산화막 내에 보이드가 형성되는 문제 등을 해결할 수 있다.
- <42> 또한, 본 발명에 의하면, 소자분리막이 실리콘 웨이퍼 표면에 형성되므로 종래의 소자분리막 공정에서 모트(Moat)가 발생하여 게이트 산화막이 얇아지던 현상도 방지할 수 있다.

<43> 이상, 본 발명의 바람직한 실시예를 들어 상세하게 설명하였으나, 본 발명은 상기 실시예에 한정되는 것은 아니며, 본 발명의 기술적 사상의 범위내에서 당 분야에서 통상의 지식을 가진 자에 의하여 여러 가지 변형이 가능하다.

【특허청구범위】**【청구항 1】**

실리콘 기판 상에 패드 산화막 및 패드 질화막을 순차적으로 형성하는 단계;

상기 패드 질화막 상에 소자분리영역을 개구하는 포토레지스트 패턴을 형성하는 단계;

상기 포토레지스트 패턴을 식각 마스크로 사용하여 상기 패드 질화막 및 상기 패드 산화막을 식각하여 소자분리영역의 상기 실리콘 기판을 노출시키는 단계;

전기화학적 식각을 수행하여 노출된 소자분리영역의 상기 실리콘 기판에 다공성 실리콘을 형성하는 단계;

상기 포토레지스트 패턴을 제거하는 단계; 및

열 산화 공정을 실시하여 상기 다공성 실리콘을 산화시켜 소자분리영역에 산화막을 형성하는 단계를 포함하는 것을 특징으로 하는 반도체 소자의 소자분리막 형성방법.

【청구항 2】

제1항에 있어서, 상기 전기화학적 식각은,

작업전극으로 사용될 상기 실리콘 기판 뒷면에 전압을 인가할 수 있도록 구비되고, 상대전극과 기준전극이 일정한 간격을 유지하여 전해질 속에 잠길 수 있도록 구비되며, 자외선 광원을 상부에 설치하여 상기 작업 전극에 자외선이 조사되도록 구비된 작업 셀에서 실리콘 해리 반응을 이용하여 수행하는 것을 특징으로 하는 반도체 소자의 소자분리막 형성방법.

【청구항 3】

제2항에 있어서, 상기 상대전극으로 백금 전극을 사용하는 것을 특징으로 하는 반도체 소자의 소자분리막 형성방법.

【청구항 4】

제2항에 있어서, 상기 기준전극으로 수소 표준전극을 사용하는 것을 특징으로 하는 반도체 소자의 소자분리막 형성방법.

【청구항 5】

제2항에 있어서, 상기 전해질로서 HF와 에탄올이 소정 비율로 혼합된 용액을 사용하는 것을 특징으로 하는 반도체 소자의 소자분리막 형성방법.

【청구항 6】

제2항에 있어서, 상기 실리콘의 해리 반응 중 발생하는 수소 기체가 실리콘 해리 반응을 방해하는 것을 억제하기 위해 상기 전해질 속에 비활성 기체를 첨가하는 것을 더 포함하는 특징으로 하는 반도체 소자의 소자분리막 형성방법.


【청구항 7】

제2항에 있어서, 상기 전압으로 1.5V 내지 8V의 전압을 인가하는 것을 특징으로 하는 반도체 소자의 소자분리막 형성방법.

【청구항 8】

제1항에 있어서, 상기 열 산화 공정은,

O_2 와 H_2 분위기에서 $700\sim 900^\circ C$ 의 온도에서 습식 산화 방식을 이용하여 수행하는 것을 특징으로 하는 반도체 소자의 소자분리막 형성방법.

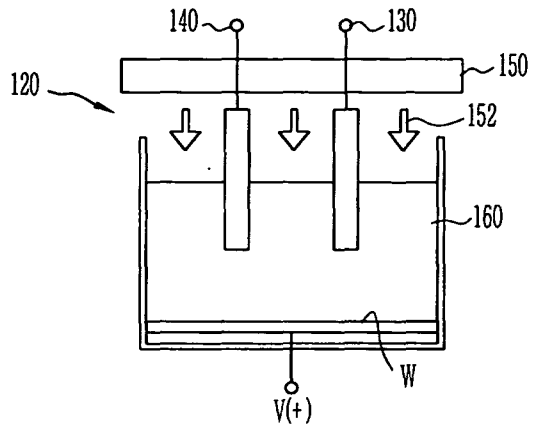


1020020085460

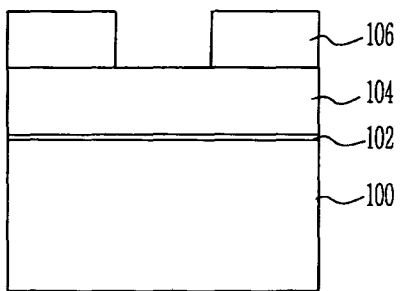
출력 일자: 2003/4/17

【도면】

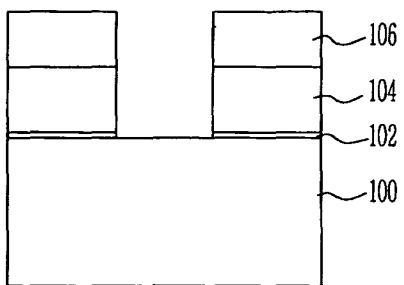
【도 1】



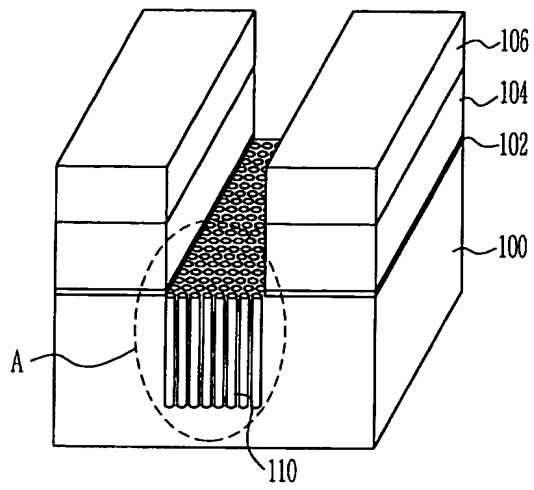
【도 2】



【도 3】



【도 4】



【도 5】

